

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-220344

(43)Date of publication of application : 10.08.1999

(51)Int.Cl.

H03F 3/60  
H01L 23/12  
H03F 3/213  
H04B 1/04

(21)Application number : 10-301886

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 23.10.1998

(72)Inventor : KUNIHISA TAKETO  
YOKOYAMA TAKAHIRO  
NISHIJIMA MASAOKI  
ISHIKAWA OSAMU

(30)Priority

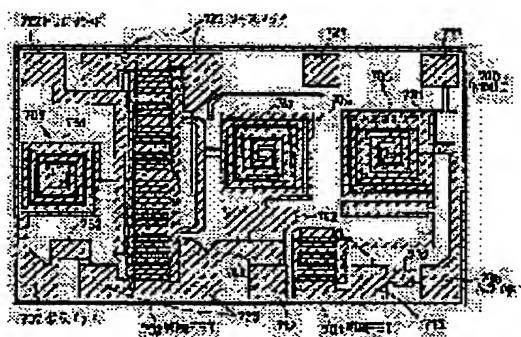
Priority number : 06 39763 · Priority date : 10.03.1994 Priority country : JP

## (54) HIGH FREQUENCY SEMICONDUCTOR DEVICE

(57)Abstract

PROBLEM TO BE SOLVED: To effectively utilize the area of the substrate that is used to a high frequency semiconductor device and to reduce the size of a chip.

SOLUTION: This semiconductor device includes an FET 701 of the preceding stage, an FET 702 of the next stage, an input matching circuit 703, an inter-stage matching circuit 704 and an output matching circuit 705 which are mounted on a semi-insulating GaAs substrate. The gate bias pads 711 and 721, the drain pads 712 and 722, and the source pads 713 and 723 are added to the FET 701 and 702 respectively. The circuits 703, 704 and 705 consist of the spiral inductors 731, 741 and 751, the MIM (monolithic integration) capacitors 732, 742, 743 and 752, etc. The pad 723 of the FET 702 is placed at both end parts of the FET 702 and also at both end parts of the GaAs substrate respectively after the source wiring is led out in the direction almost vertical to the longitudinal direction of a gate electrode.



## LEGAL STATUS

[Date of request for examination] 23.10.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3208119

[Date of registration] 06.07.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-220344

(43) 公開日 平成11年(1999) 8月10日

(51) Int. Cl.<sup>5</sup>  
 H 0 3 F 3/60  
 H 0 1 L 23/12  
 H 0 3 F 3/213  
 H 0 4 B 1/04

識別記号

3 0 1

F I

H 0 3 F 3/60  
 H 0 1 L 23/12  
 H 0 3 F 3/213  
 H 0 4 B 1/04

3 0 1 C

B

審査請求 有 請求項の数 7 O L (全 16 頁)

(21) 出願番号 特願平10-301886  
 (62) 分割の表示 特願平7-46809の分割  
 (22) 出願日 平成7年(1995) 3月7日  
 (31) 優先権主張番号 特願平6-39763  
 (32) 優先日 平6(1994) 3月10日  
 (33) 優先権主張国 日本 (J P)

(71) 出願人 000005821  
 松下電器産業株式会社  
 大阪府門真市大字門真1006番地  
 (72) 発明者 國久 武人  
 大阪府門真市大字門真1006番地 松下電器  
 産業株式会社内  
 (72) 発明者 横山 隆弘  
 大阪府門真市大字門真1006番地 松下電器  
 産業株式会社内  
 (72) 発明者 西嶋 将明  
 大阪府門真市大字門真1006番地 松下電器  
 産業株式会社内  
 (74) 代理人 弁理士 前田 弘 (外1名)

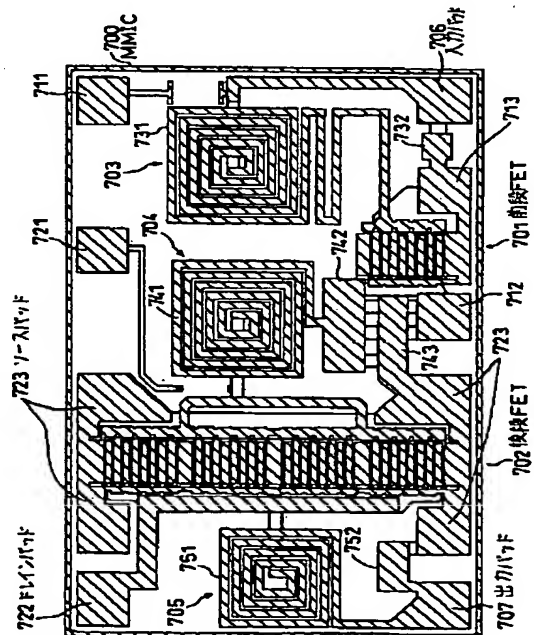
最終頁に続く

(54) 【発明の名称】 高周波半導体装置

## (57) 【要約】

【目的】 高周波用半導体装置に用いられる基板の面積を有効に活用して、チップサイズの低減を図る。

【構成】 半絶縁性GaAs基板の上に、前段FET701と、後段FET702と、入力整合回路703と、段間整合回路704と、出力整合回路705とが配設されている。各FET701, 702には、それぞれゲートバイアスパッド711, 721、ドレインパッド712, 722、ソースパッド713, 723が設けられている。整合回路703, 704, 705は、それぞれスパイラルインダクタ731, 741, 751、MIMキャパシタ732, 742, 743, 752等からなる。後段FET702のソースパッド723は、ゲート電極の長手方向とほぼ垂直方向にソース配線を引き出した上で、後段FET702の両端部かつ半絶縁性GaAs基板の両端の部位2か所に配置されている。



## 【特許請求の範囲】

【請求項1】 基板上に、能動素子及び受動素子を一体的に形成した集積回路を備えた高周波半導体装置において、

上記集積回路内に設けられゲート電極、ドレイン電極及びソース電極からなる少なくとも1つのFETと、  
上記集積回路内に設けられ上記FETを通過する高周波信号を整合するための整合回路と、

上記FETのゲート電極の長手方向とほぼ垂直方向に引き出されたソース配線と、

上記ソース配線に接続され、上記FETのゲート電極の長手方向の両端に隣接しかつ上記基板の辺部に位置する領域に配置されたソースパッドとを備えたことを特徴とする高周波半導体装置。

【請求項2】 請求項1記載の高周波半導体装置において、

上記ソースパッドは、4か所以上に設けられていることを特徴とする高周波半導体装置。

【請求項3】 請求項1又は2記載の高周波半導体装置において、

上記ソースパッドのグラウンドを介して上記FETのソース電極が接地されていることを特徴とする高周波半導体装置。

【請求項4】 基板上に、能動素子及び受動素子を一体的に形成した集積回路とを備えた高周波半導体装置において、

上記集積回路内に設けられゲート電極、ドレイン電極及びソース電極からなる少なくとも1つのFETと、

上記FETのゲート電極の長手方向とほぼ垂直方向に引き出されたソース配線と、

上記ソース配線に接続され、上記FETの長手方向の両端に隣接しかつ上記基板の両端部に位置する領域に配置されたソースパッドと、

上記集積回路内に設けられ上記FETを通過する高周波信号を整合するための整合回路とを備えとともに、  
上記整合回路のコンデンサは、上記ソースパッドに隣接する領域に配置されていることを特徴とする高周波半導体装置。

【請求項5】 請求項4記載の高周波半導体装置において、

上記FETを通過する高周波信号を整合するための整合回路が、上記FETのゲート電極の長手方向の両側で上記FETに隣接する領域に配置されていることを特徴とする高周波半導体装置。

【請求項6】 請求項1～5のうちのいずれか1つに記載の高周波半導体装置において、

上記FETのドレイン電極に接続され基板の1辺部に配置される出力パッドと、

上記基板の上記出力パッドが配置された辺部とは異なる辺部に配置され、上記FETのドレイン電極に電源電圧

を印加するための外付け用ドレインパッドとをさらに備えたことを特徴とする高周波半導体装置。

【請求項7】 基板上に能動素子、整合回路素子が形成された高周波半導体装置において、

05 上記集積回路内に設けられゲート電極、ドレイン電極及びソース電極からなる少なくとも1つのFETと、  
上記FETのドレイン電極に接続され基板の1辺部に配置される出力パッドと、

上記基板の上記出力パッドが配置された辺部とは異なる辺部に配置され、上記FETのドレイン電極に電源電圧を印加するための外付け用ドレインパッドとを備えたことを特徴とする高周波半導体装置。

## 【発明の詳細な説明】

## 【0001】

15 【発明の属する技術分野】本発明は、移動体通信等に用いられるFETをGaAsなどの基板上に設けた高周波用半導体装置に関し、特に、チップサイズの低減を可能とするための対策に関するものである。

## 【0002】

20 【従来の技術】近年、世界各国で多様な移動体通信システムが検討されており、それぞれのシステムに対応した送信用電力増幅デバイスが求められている。

【0003】従来より、この分野の送信用電力増幅デバイスとして、GaAsMESFETやJFETあるいはHBTを用いたモジュール、一体型集積回路（以下MMICと呼ぶ）の各種構成例が報告されている。例えば一般的なMMICの構造では、GaAsのバンドギャップが広く、常温においても真性GaAsの電気伝導度が低いので、半絶縁性GaAs基板が得られるということを利用し、GaAs基板上にトランジスタ、ダイオード等の能動素子や、スパイラルインダクタ、インターディジタルキャパシタ、MIMキャパシタ、伝送線路、薄膜抵抗等の受動素子を集積化して一体形成している。また、IEEE GaAs IC sympo. tech. Digest pp.53-56 1993に開示されるごとく、上述のような能動素子や受動素子を内蔵するMMICをパッケージ内部に形成し基板上に実装したモジュール（マルチチップIC）が報告されている。そして、このMMICやモジュールを基板上に実装して、各種の用途に適用するようになされている。すなわち、単体トランジスタと個別部品とを用いて組み上げたのでは、動作周波数が高くなると部品の取付位置の誤差や部品自体の特性上のバラツキによってマイクロ波特性の大きなバラツキを生ぜしめ、製造歩留まりを低下させるが、このようなMMICやモジュールを構成することによって、所定の特性を安定して発揮しうようになされている。

## 【0004】

【発明が解決しようとする課題】しかしながら、反面、上記従来のMMICやモジュールでは、下記のような問題があった。すなわち、これらはある特定のシステムの

みに適合するよう設計されているために、動作周波数を変えて使用すると満足できる特性が出せないことがある。また、FETの動作バイアス点あるいは動作級（たとえばA級、B級など）の変更を外部より行なうことはできない。例えば、上記IEEE GaAs IC symposium, tech. Digest pp.53-56 1993に示されるモジュールでは、すべての回路ブロックがパッケージ内部に形成されているため外部から動作周波数や動作バイアス点の変更を行うことは不可能であった。

【0005】特に、MMICやモジュールにおいて、GaAs基板上に搭載されるコンデンサやインダクタンス等の受動素子の占有面積が大きいために、特に高周波半導体装置に汎用される高価なGaAs基板などのチップサイズが大きくなり、製造コストの低減が困難であるという問題があった。

【0006】本発明は斯かる点に鑑みてなされたものであり、その主たる目的は、高価な基板を使用することが多い高周波半導体装置において、基板の面積を有効に活用することにより、チップサイズの小型化と製造コストの低減とを図ることにある。

【0007】

【課題を解決するための手段】本発明の第1の高周波半導体装置は、基板上に、能動素子及び受動素子を一体的に形成した集積回路を備えた高周波半導体装置において、上記集積回路内に設けられゲート電極、ドレイン電極及びソース電極からなる少なくとも1つのFETと、上記集積回路内に設けられ上記FETを通過する高周波信号を整合するための整合回路と、上記FETのゲート電極の長手方向とほぼ垂直方向に引き出されたソース配線と、上記ソース配線に接続され、上記FETのゲート電極の長手方向の両端に隣接しかつ上記基板の辺部に位置する領域に配置されたソースパッドとを備えている。

【0008】これにより、大きな面積を占有するソースパッドがFETのゲート電極の長手方向の両端部かつ基板の辺部に位置する領域に配置されているので、基板の中央の領域に大きなスペースを生ぜしめることが可能となる。すなわち、基板の面積を小さくしても、より大きなインダクタなどからなる整合回路を配置するスペースが確保されるので、高周波半導体装置に使用される半絶縁性GaAs基板等の高価な化合物半導体基板に費やされるコストが低減する。また、ソース接地を行なうために用いられる配線とワイヤとの接続長が短くなるので、ソースインダクタが减小し、FETの特性が向上する。

【0009】上記第1の高周波半導体装置において、上記ソースパッドを4か所以上に設けることにより、ソースパッドの配置場所が分散されるので、基板上のスペースがより有効に活用されることになる。

【0010】上記第1の高周波半導体装置において、上記ソースパッドのグラウンドを介して上記FETのソース電極を接地させておくことにより、ソースパッド用の

グラウンドとソース電極用のグラウンドとが共有化されるので、基板上のスペースがさらに有効に活用されることになる。

【0011】本発明の第2の高周波半導体装置は、基板上に、能動素子及び受動素子を一体的に形成した集積回路とを備えた高周波半導体装置を前提とする。そして、高周波半導体装置に、上記集積回路内に設けられゲート電極、ドレイン電極及びソース電極からなる少なくとも1つのFETと、上記FETのゲート電極の長手方向とほぼ垂直方向に引き出されたソース配線と、上記ソース配線に接続され、上記FETの長手方向の両端に隣接しかつ上記基板の両端部に位置する領域に配置されたソースパッドと、上記集積回路内に設けられ上記FETを通過する高周波信号を整合するための整合回路とを設けるとともに、上記整合回路のコンデンサを、上記ソースパッドに隣接する領域に配置したものである。

【0012】これにより、基板のグラウンドに接続される整合回路のコンデンサがソースパッドに隣接する領域に配置されているので、整合回路の高周波信号をソースパッドを介してグラウンドに逃すことが可能になる。したがって、コンデンサに別途グラウンドを設ける必要がなくスペースが節約される。

【0013】上記第2の高周波半導体装置において、上記FETを通過する高周波信号を整合するための整合回路を上記FETのゲート電極の長手方向の両側で上記FETに隣接する領域に配置することにより、整合回路がソースパッド間のスペースに配置されるので、基板上のスペースが有効に活用される。

【0014】上記第1又は第3の高周波半導体装置において、上記FETのドレイン電極に接続され基板の1辺部に配置される出力パッドと、上記基板の上記出力パッドが配置された辺部とは異なる辺部に配置され、上記FETのドレイン電極に電源電圧を印加するための外付け用ドレインパッドとをさらに備えることにより、外付け用ドレインパッドが出力用パッドとは分けられて配置されているので、インダクタやコンデンサを介して高周波信号の電圧降下を生じることなく、ドレインへの電圧が印加されることになる。

【0015】本発明の第3の高周波半導体装置は、基板上に能動素子、整合回路素子が形成された高周波半導体装置において、上記集積回路内に設けられゲート電極、ドレイン電極及びソース電極からなる少なくとも1つのFETと、上記FETのドレイン電極に接続され基板の1辺部に配置される出力パッドと、上記基板の上記出力パッドが配置された辺部とは異なる辺部に配置され、上記FETのドレイン電極に電源電圧を印加するための外付け用ドレインパッドとを設ける構成としたものである。

【0016】これにより、外付け用ドレインパッドが出力用パッドとは分けられて配置されているので、インダ

クタやコンデンサを介して高周波信号の電圧降下を生じることなく、ドレインへの電圧が印加されることになる。

【0017】

【発明の実施の形態】以下、本発明の実施形態について、説明する。

【0018】（第1実施形態）まず、第1実施形態に係る二段電力増幅器について、図1～図6を参照しながら説明する。

【0019】図1は第1実施形態に係る二段電力増幅器の構成を示すブロック図である。同図に示すように、本実施形態に係る二段電力増幅器は、実装基板100の上にMMIC110を実装し、さらに、ドレインバイアス回路部101及びゲートバイアス回路部102を実装基板100上に実装して形成されている。この点が本実施形態の特徴である。

【0020】そして、上記MMIC110内には、入力整合回路部111、前段FET112、段間整合回路部113、後段FET114、出力整合回路115、前段FETゲートバイアス抵抗器116及び後段FETゲートバイアス抵抗器117が配設されている。なお、本来これらの全ての素子、回路部は整合に寄与し、整合回路部の一部となるが、ここではその効果を明確に説明するため、このように呼ぶこととする。また、各符号121、122、123、124、125、126、127はそれぞれMMIC110の前段FETドレイン電圧供給端子、後段FETドレイン電圧供給端子、前段FETゲート電圧供給端子、後段FETゲート電圧供給端子、接地端子、信号入力端子、信号出力端子を示す。

【0021】ここで、上記各整合回路の構成は、後述のように、図6A、図6B、図6Cに示す通りである。

【0022】従来のモジュール、MMICではこれらの素子、回路部がすべてパッケージ内に集積されていたために、外部より動作周波数や動作バイアス点を調整することは困難であったが、本実施形態の構成では、以下に説明するように、容易にそれらを行うことができる。

【0023】例えば、ドレインバイアス回路部101のインピーダンスは、FETにとってのロードインピーダンスあるいはソースインピーダンスに影響する因子である。したがって、ドレインバイアス回路部101のインピーダンスを変更することによって、動作周波数を変更することができる。

【0024】一方、整合回路を有しない、例えば単体のFETでこのような処理を行うと、整合条件が変わるために整合回路全体を変更する必要が生じる虞れがある。しかし、本実施形態では、ドレインバイアス回路部101のインピーダンス変化量を予め考慮して3箇所の整合回路部111、113、115が設計されているため、ドレインバイアス回路部101のインピーダンスを変更するだけで容易に異なる周波数で用いることが可能とな

る。

【0025】以下、動作周波数の選定に応じ、整合条件を満足させるべくインピーダンスの設定を行なうための構成の例について説明する。

05 【0026】図2A及び図2Bは、それぞれ本実施形態のドレインバイアス回路部101の構成の例を示す図である。

【0027】図2Aに示す例では、高周波信号の伝達が可能に構成された伝送線路であるストリップ線路201、203とバイパスコンデンサ202、204とを用いてドレインバイアス回路101を構成している。ストリップ線路201、203は、一端がドレイン電源V<sub>dd</sub>に接続され他端がMMIC110の前段及び後段FETドレイン電圧供給端子121、122にそれぞれ接続されている。そして、ストリップ線路201には、予め保護膜となる表皮で覆われずに露出したコンデンサ取付部が設けられており、当該MMIC110を使用する際の動作周波数に応じて、バイパスコンデンサ202、204の取付位置を決定して、整合条件を満足させる部位に取り付けるように構成されている。具体的には、ドレインバイアス回路101のインピーダンスはMMIC110からバイパスコンデンサ202、204までのストリップ線路長L<sub>1</sub>、L<sub>2</sub>（図2A参照）により決定され、これらはバイパスコンデンサ202、204の設置位置を変更することにより容易に変更することができる。

【0028】また、図2Bに示す例では、それぞれチップインダクタ205、207と、バイパスコンデンサ206、208とを1つずつ配置して、ドレインバイアス回路101を構成している。各チップインダクタ205、207は、一端がドレイン電源V<sub>dd</sub>に接続され他端がMMIC110の前段又は後段FETドレイン電圧供給端子121、122に接続されるように取り付け可能に構成されている。さらにチップインダクタ205、207のドレイン電源側端と接地との間にバイパスコンデンサ206、208を取り付けるためのインダクタ取付部が設けられている。この例では、ドレインバイアス回路101のインピーダンスはチップインダクタ205、207のインダクタンス値により決定されるので、当該MMIC110を使用する際の動作周波数に対して適合するインダクタンス値を有するチップインダクタを取り付けることによって、整合条件を満足させることができる。

【0029】なお、ここで用いたバイパスコンデンサ206、208はドレイン電源V<sub>dd</sub>のインピーダンスあるいはその変動がMMIC110内部のFETに影響を与えないように挿入したものであるが、ドレイン電源V<sub>dd</sub>のインピーダンスとその変動を考慮し、FETへの影響が許容範囲に収まるようにMMIC110を設計することにより、バイパスコンデンサ206、208を省

略することは可能である。

【0030】以上のように、本実施形態では、ドレインバイアス回路101をMMIC110内ではなく、実装基板100内に形成したことにより、以下のような効果が得られる。

【0031】まず、MMIC110の内部に集積すると困難であった動作周波数の変更処理も、ドレインバイアス回路部101を実装基板100上に形成することにより容易に行えることとなる。

【0032】また、ドレインバイアス回路部101をMMIC110内部から実装基板100上に移すことにより、高価なGaAs基板を使用したMMIC110のチップ面積が削減でき、MMIC110自体のコストを低減できることとなる。

【0033】さらに、ドレインバイアス回路部101の寄生抵抗は、ドレインバイアス回路部101をMMIC110内部に形成した場合に比べ大幅に削減されるため、電源電圧がドレインバイアス回路101による電圧降下を受けることなくFETのドレイン電極に印加される。したがって、飽和出力特性の劣化が抑制され、利得や効率の低下が従来のMMICに比べ抑制されるので、平均的に特性が向上するとともに、MMIC110の歩留まりも向上することとなる。

【0034】なお、本実施形態では、二段電力増幅器の各段のドレインバイアス回路101を実装基板100上に形成したが、本発明はかかる実施形態に限定されるものではなく、少なくともいずれか一方が実装基板100上に形成されていればよい。1段あるいは3段以上の増幅段を有する増幅器では、任意の1箇所或いは数箇所を実装基板上に形成しても同様の効果を得ることができる。

【0035】また、2段以上の増幅器においてストリップ線路とバイパスコンデンサによるドレインバイアス回路とチップインダクタとバイパスコンデンサあるいはチップインダクタだけによるドレインバイアス回路を組み合わせても同様の効果が得られる。

【0036】ところで、図1に示すゲートバイアス回路102もドレインバイアス回路部101と同様に整合条件に影響を与えるが、ドレインバイアス回路部101のみならずゲートバイアス回路部102においても高周波での調整を行う必要が生じることは、反面、煩雑な処理となる虞れもある。そこで、本実施形態では、ゲートバイアス回路部102では直流での調整のみを行い、高周波的に影響を与えないように、MMIC内部にゲートバイアス抵抗器116、117を形成、配置し高周波的に分離することにより、その影響を無視できるものとしている。図1に示す構成では、ゲートバイアス抵抗器116、117を各FET112、114のゲート電極に接続しているが、ゲート電極に直接接続せず、ゲート電極に接続されたインダクタあるいは抵抗器に接続しても、

直流を伝達し、高周波を分離するという効果は当然得られる。

【0037】一方、このような構成を有する二段電力増幅器においては、各段のFETゲート電圧供給端子123、124に所望の電圧を印加することにより、動作バイアス点を変更することができる。ただし、ゲートバイアス調整のためだけに可変電圧源を用意し、特に第1実施形態のように2箇所の調整箇所を個別に調整することは煩雑である場合もある。そこで、次に、固定電圧を供給する電圧源と1箇所における抵抗値の調整で2箇所のFETの動作バイアス点調整を同時に行うことのできるゲートバイアス回路の構成について、以下に説明する。

【0038】図3は、図1に示すゲートバイアス回路部102の電気回路図である。同図に示すように、固定抵抗器301、302と可変抵抗器303とがグラウンドとゲート電源V<sub>gg</sub>間に直列に配置され、この電位差の抵抗分割電位がMMIC110のゲート電圧供給端子123、124に与えられる構成になっている。ここでは、上記ゲート電源V<sub>gg</sub>が請求項8にいう第2ゲート電源部であり、可変抵抗器303が第2抵抗部材であり、グラウンドが第1ゲート電源部であり、固定抵抗器301（又は302）が第1抵抗部材に相当する。

【0039】次に、本実施形態では、ゲートバイアス回路102をMMIC110内ではなく、実装基板100内に形成したことにより、以下のような効果が得られる。

【0040】例えば、MMIC110内のFETがデプレッション型FETであり、ゲート電源V<sub>gg</sub>が負の電位を供給するものである場合には、FETのしきい値が負側にばらついたときは可変抵抗器303の値を小さくし、ゲートバイアス電位を負側に設定することにより信号無入力時のドレイン電流（以下アイドル電流という）を一定にすることができる。アイドル電流を一定にすることによる歩留りに対する効果は後述する。

【0041】また、同じしきい値のFETに対しても可変抵抗器303によりバイアス点を容易に変えることができ、例えばA級動作（50%*I<sub>dss</sub>*バイアス）やB級動作（0%*I<sub>dss</sub>*バイアス）を前段FET、後段FET個別に設定することも可能となる。この手段は可変抵抗器により実現できるものであるが、これをMMIC内部に形成することは困難であり、本実施形態のように実装基板上に実装することによりはじめて実現できるものとなる。

【0042】なお、本実施形態では、ゲートバイアス回路部102内に可変抵抗器303を配置したが、本発明はかかる実施形態に限定されるものではなく、可変抵抗値303が配置される部位を抵抗器取付部として、MMIC110を実装基板100上に組み込む際に、使用する動作周波数に適合した抵抗値を有する固定抵抗器を取り付けるように構成してもよい。このような構成によっ



ても、本実施形態と同様な効果が得られるが、これもゲートバイアス回路部102を実装基板100上に実装することによりはじめて実現できるものとなる。

【0043】本実施形態では、ゲートバイアス変更によるFETのインピーダンス変化量を予め考慮して3箇所の整合回路部111, 113, 115が設計されているため、容易に異なるゲートバイアス条件で用いることが可能である。

【0044】なお、ゲート電位を抵抗分割により与えるゲートバイアス回路については一段或いは三段以上の増幅段を有する電力増幅器においても同様の効果を得ることができる。また、ゲートバイアス回路部を構成する全ての回路素子を実装基板上に形成、実装する必要はなく、少なくとも可変抵抗器もしくは固定抵抗器の取付部を実装基板上に形成、実装し、それ以外の要素をMMIC上に形成するように構成しても同様の効果を得ることができる。さらに、多段構成の電力増幅器では、任意の電力所のゲートバイアス端子についてゲートバイアス回路部を設けることにより同様の効果が得られる。

【0045】次に、本実施形態の効果について、図4、図5を参照しながら説明する。

【0046】図4は、前段ドレインバイアス回路のストリップ線路長を変えた場合の動作周波数可変性を示す周波数特性図である。図4において、横軸は周波数(GHz)、縦軸は順方向利得S21(dB)をそれぞれ示す。なお、入力電力は約0dBmである。図4に示される通り、前段ドレインバイアス回路101のストリップ線路長が1.8mmの場合、順方向利得S21の最大点は1.86GHzであったものが、ストリップ線路長を2mmに変更することにより順方向利得S21の最大点が2.10GHzに移動することがわかる。この作用は、後段ドレインバイアス回路においても同様である。したがって、本発明の電力増幅器を用いれば実装基板上で電力増幅器の高周波特性の調整を行うことができるので、実装基板或いはMMICを変更すること無く、動作周波数を変えることができる。言い換えると、MMIC及び実装基板完成後に高周波調整ができることであり、実装基板の50Ωからのズレや接地不十分による不都合が生じた場合でも迅速に対応できることとなる。また、電力増幅器設

計時のMMIC及び実装基板の設計マージンが増大し、短期間で実用化できることとなる。

【0047】図5は、サンプル数23個のMMICに対して、可変抵抗器303を用い、前段FET112及び後段FET114のアイドル電流の和が一定(150mA)となるよう調整を行った場合の電力増幅器の動作電流のばらつきと、この処理を行わなかった場合の電力増幅器の動作電流のばらつきとを示す図である。出力電力は、22dBmである。図5に示される通り、ゲートバイアス回路102の可変抵抗器303の1箇所を調整することにより、ばらつきが緩和され、MMICと電力増幅器の歩留りが向上し、そのコストが低減されることとなる。また、FETの動作級が容易に変更できることはいうまでもない。

【0048】さて、これまで述べたように、ドレインバイアス回路部101、ゲートバイアス回路部102を実装基板上に設けることによりそれぞれの効果が得られるが、この両者を併有することにより新たな効果を生じる。例えば、1.9GHz帯で用いられるPHSと呼ばれる日本のデジタルコードレス電話のシステムでは、波形歪が問題となるためFETはA級に近い動作で用いられる。一方、1.88GHz~1.9GHzで用いられるDECTと呼ばれるヨーロッパで用いられるデジタルコードレス電話のシステムでは波形歪はそれほど問題ではなく、効率の良好なB級に近い動作で用いられる。従って、ドレインバイアス回路部、ゲートバイアス回路部の両方が実装基板上に設けられている構成であれば動作周波数及び動作級の異なる両者のシステムに対応することができる。

【0049】以上詳細に述べたように、本実施形態の電力増幅器の効果は、実装基板上での周波数調整を可能にし、電圧降下による特性劣化を改善し、MMICのチップ面積を削減し、電力増幅器の歩留まりを向上し、FETの動作バイアス点を変更し、実装基板設計上のマージンを増大させるというものであり、従来のMMICおよびモジュールを用いた場合との比較を行うと表1のようになる。

【0050】

【表1】

	実施例	従来モジュール	従来MMIC
調整、周波数変更	可	不可	不可
電圧降下による特性劣化	小	小	大
GaAsチップ面積	小	小	大
歩留まり	高	高	低
動作級の変更	可	不可	不可
組立コスト	小	大	小
設計マージン	大	小	小



【0051】ここで、従来のモジュールとは、チップ部品、FETなどの個別部品が実装されるためのパターンが形成された基板をパッケージ内部に有するものを示している。

【0052】なお、FETはGaAsMESFET以外のFETでも同様の効果が得られる。

【0053】ここで、本実施形態で用いた電源の電圧、実装基板、ドレインバイアス回路部、ゲートバイアス回路部、MMICを構成する各素子の素子値、特性を以下にまとめる。

【0054】図2に示すドレイン電源の電圧 $V_{dd}$ は3.5Vである。また図3に示すゲート電源の電圧 $V_g$ は-4.7Vである。

【0055】図1に示す実装基板100は比誘電率2.6、厚さ1mmのテフロン基板である。

【0056】図2に示すバイパスコンデンサ202、204、206、208は100pFのチップコンデンサであり、ストリップ線路201、203は線路幅0.5mmで形成し、チップインダクタ206、208は1.6mm×0.8mmタイプのチップインダクタを用いた。

【0057】図3に示す固定抵抗器301、302はそれぞれ2.2kΩと150Ωのチップ抵抗器を用い、可変抵抗器303の可変範囲は300Ω～5kΩである。

【0058】図1に示す前段FET112及び後段FETはGaAsMESFETであり、そのしきい値は-3.0V、ゲート幅は前段FETでは1mm、後段FETでは4mmである。また、前段FET112のゲートバイアス抵抗器116は1kΩ、後段FET114のゲートバイアス抵抗器117は2kΩである。

【0059】図1に示す入力整合回路部111、段間整合回路部113、出力整合回路部115の詳細は図6A、図6B、図6Cにそれぞれ示されるが、それぞれ信号入力端子126と前段FETゲート電極611間、前段FETドレイン電極612と後段FETゲート電極613間、後段FETドレイン電極と信号出力端子127間に配置され、コンデンサ601は1pF、インダクタ602は6nH、コンデンサ603、604はそれぞれ3pF、6pF、インダクタ605は5nH、インダクタ606は3nH、コンデンサ607は2pFである。

【0060】また、整合に寄与しないため図示していないが、実装基板にはそれぞれ100pFの入力結合コンデンサ、出力結合コンデンサを実装し、図4及び図5の測定を行った。

【0061】(第2実施形態)次に、第2実施形態について説明する。

【0062】図7は、本発明で用いた高周波半導体装置であるMMICのソースパッド配置を説明するためのMMIC700の平面図であり、図8は、図7中の後段MESFET702の詳細を示したものである。半絶縁性

GaAs基板上に2つのMESFETである前段FET701と、後段FET702とが配設されており、さらに前段FETと入力パッド706との間には入力整合回路703が配設され、前段FET701と後段FET702との間には段間整合回路704が配設され、後段FET702と出力パッド707との間には出力整合回路705が配設されている。

【0063】上記各FET701、702には、それぞれゲートバイアスパッド711、721、ドレインパッド712、722、ソースパッド713、723が付設されている。また、上記各整合回路703、704、705は、それぞれスパイラルインダクタ731、741、751、MIMキャパシタ732、742、743、752等で構成されている。

【0064】ここで、本実施形態の特徴として、後段FET702のソースパッド723は、ゲート電極の長手方向とほぼ垂直方向にソース配線を引き出した上で、後段FET702の両端部かつ半絶縁性GaAs基板の両端の部位2か所に配置されている。このように配置することで、ワイヤボンディング作業も円滑に行なうことができるとともに、確実に接地させることができ、かつ接地を行うために用いられる配線とワイヤの接続長の短縮によりソースインダクタンスが減少するため、FET702の特性の向上を図ることができる。また、ソースパッド723を半絶縁性GaAs基板の隅の近傍に配置することで、占有面積の大きいインダクタを半絶縁性GaAs基板の内方に配置する余裕を生ぜしめることができ、半絶縁性GaAs基板の有効利用による面積の縮小を図ることができる。

【0065】また、各キャパシタ732、742、743、752をそれぞれソースパッド713、723に接続したことにより、スペースの節約を図ることができる。

【0066】また、ドレインから外部に出力を取り出すためのドレインパッド722を後段FET702のドレインから出力パッド127に向かう経路から外したことで、インダクタ751を通過することによる電圧降下を生じることなく電源電圧がドレイン電極に印加され、ドレイン電極に入力される電圧のレベルの低下を可及的に抑制することができる利点がある。

【0067】また、図8に詳細構造を示すように、後段FET702は、ゲート電極725の上にソース電極726を積層し、さらにその上にドレイン電極727を積層した構造となっているが、ゲート電極725とソース電極726との引き出し方向を共通にしている。このようにゲート電極725をソース側に引き出すことにより、ゲートドレイン間の容量の増大に起因する特性の悪化を回避するようにしている。

【0068】(第3実施形態)次に、第3実施形態に係る二段電力増幅器について説明する。

【0069】図9は、本実施形態の二段電力増幅器の構成を示す電気回路図であり、図1に示した第1実施形態に係るMMIC110内にゲートバイアス設定用FET911を付加し、さらにそのゲート端子921、ソース端子922及びドレイン端子923を設けて、実装基板100上に実装するとともに、形成されるゲートバイアス回路部902の構成を変更したものである。ここで、同図中における図1に示す符号と同じ符号を付した素子、回路部は前述した素子、回路部と同一であり、同一の構成、機能を有する。

【0070】本実施形態におけるゲートバイアス設定用FET902は、前段FET112及び後段FET114と同一の拡散条件で、同一のチップ上に作製されるため、しきい値や相互コンダクタンス(gm)等のばらつきによる前段FET112及び後段FET114のアイドル電流のばらつきと同様のばらつきを有することとなる。また、温度依存性も同様となる。つまり、前段FET112及び後段FET114のアイドル電流が設定目標値より大きい場合はゲートバイアス設定用FET902のアイドル電流も大きく、逆に前段FET112及び後段FET114のアイドル電流が設定目標値より小さい場合はゲートバイアス設定用FET911のアイドル電流も小さくなる。すなわち、この相関関係を利用し、以下に説明するように、第1実施形態で説明した効果に加え、しきい値ばらつきや温度による前段FET112及び後段FET114のアイドル電流のばらつきを抑圧するようにしている。

【0071】図10は、図9に示すゲートバイアス回路部902の構成とゲートバイアス回路部902とMMIC110内のゲートバイアス設定用FET911との接続関係とを示す電気回路図である。ゲートバイアス設定用FET911のゲート端子921及びソース端子922は負の電源V<sub>gg</sub>に接続され、ドレイン端子923は固定抵抗器1002と可変抵抗器1001とを介して接地されている。また、前段FETゲート電圧供給端子123はゲートバイアス設定用FET911のドレイン端子923に、後段FETドレイン電圧供給端子124は固定抵抗器1002と可変抵抗器1001との間の信号線にそれぞれ接続されている。ここでは、上記ゲート電源V<sub>gg</sub>が請求項8にいう第1ゲート電源部であり、ゲートバイアス設定用FET911が第1抵抗部材であり(請求項18参照)、グラウンドが第2ゲート電源部であり、可変抵抗器1001が第2抵抗部材に相当する。

【0072】この構成にすることにより、前段FET112及び後段FET114のアイドル電流が過大な場合、ゲートバイアス設定用FET911のドレイン電流も多く流れるので、固定抵抗器1002及び可変抵抗器1001による電圧降下が増大し、前段FET112及び後段FET114のゲート電圧が下がり、それぞれのアイドル電流が減少することとなる。したがって、アイ

ドル電流のばらつきを抑制することができる。一方、アイドル電流が過小な場合も、逆の作用によりアイドル電流が増大するので、アイドル電流のばらつきを抑制することができる。

05 【0073】以上のようなアイドル電流のばらつきの抑制効果は、具体的には、ゲートバイアス設定用FET911のドレイン電流、固定抵抗器1002及び可変抵抗器1001の値を適切に設定することにより実現できる。

10 【0074】なお、前段FET112、後段FET114のゲート電圧を個別に与えるため、固定抵抗器1002を挿入しているが、同一のゲート電圧でアイドル電流設定を行うのであれば、固定抵抗器1002を省略しても良い。また、動作級の変更を行わないのであれば可変抵抗器1001を固定抵抗器としても良い。

15 【0075】また、上記ゲートバイアス設定用FET911と前段FETゲート電圧供給端子123及び後段FETゲート電圧供給端子124との配置関係は、図10に示す配置関係に限定されるものではなく、後段FETゲート電圧供給端子124と第2ゲート電源部との間にゲートバイアス設定用FET911のソース・ドレインを接続する(つまりFET911を介設する)とともに、前段FET電圧供給端子123を可変抵抗器を介して第2ゲート電源部に接続してもよい。

20 【0076】(第4実施形態)次に、第4実施形態について、図11を参照しながら説明する。

25 【0077】図11に示すように、本実施形態に係る二段電力増幅器のMMIC110の構成は、上記第3実施形態におけるMMIC110の構成と同じである。本実施形態では、ゲートバイアス回路部において、上記第3実施形態と同じ構成に加え、ゲートバイアス設定用FET911のソースに固定抵抗器1101が挿入されている。

30 【0078】一般に、負の電源V<sub>gg</sub>に流せる電流値には上限があるが、ゲートバイアス設定用FET911のゲート幅の設定が大きすぎると、図10に示す上記第3実施形態におけるゲートバイアス回路部の構成ではその上限値を上回る電流が負の電源V<sub>gg</sub>が流れ込む虞れがある。

35 【0079】しかし、本実施形態の図11に示す構成では、固定抵抗器1101による電圧降下を利用して、ゲートバイアス設定用FET911のソース電圧をゲート電圧より高くすることができる。したがって、ドレイン電流を削減し、負の電源V<sub>gg</sub>に流す電流を削減することができ、よって、信頼性が確保される。

40 【0080】また、図9に示す基本的な構成では、ゲートバイアス設定用FET911のゲート端子921、ソース端子922及びドレイン端子923と、前段FETゲート電圧供給端子123と、後段FETゲート電圧供給端子124とのすべてがMMIC110の外部で実装

基板 100 上に形成されているため、ゲートバイアス回路部 902 で任意の回路を構成することができ、実際の動作を確認しながらゲートバイアス設定用 FET の電流値や各抵抗器の抵抗値の設定を行うことができるため、MMIC の設計マージンが増大することとなる。

【0081】ところで、移動体通信機器では、小型化のため実装基板上の部品を少なくしたいという場合も多い。このような場合には、以下に説明する図 12、図 13、図 14 に示す第 5、第 6、第 7 実施形態の構成にしても良い。

【0082】（第 5 実施形態）図 12 は、第 5 実施形態に係る MMIC 110 の一部及びゲートバイアス回路部の構成を示す電気回路図である。本実施形態では、配置されている部材は上記第 4 実施形態の図 10 に示す回路の構成のうち、ゲートバイアス設定用 FET 911 のゲート電極とソース電極とを MMIC 110 の内部で接続したものである。この構成により、実装基板 100 上でのそれらを接続するための作業が不要となり、かつ MMIC 110 上のパッドが 1 箇所減少するので、MMIC 110 のチップサイズを小さくすることができる。

【0083】（第 6 実施形態）図 13 は、第 6 実施形態に係る MMIC 110 の一部及びゲートバイアス回路部の構成を示す電気回路図である。本実施形態では、図 12 に示す回路において実装基板 100 上に実装されていた固定抵抗器 1002 を MMIC 110 内に集積し、前段 FET ゲート電圧供給端子と後段 FET ゲート電圧供給端子とを MMIC 110 内に集積したものである。この構成により、実装基板 100 上でのそれらの実装、接続が不要となり、MMIC 110 上のパッドをさらに 2 箇所削減することができる。

【0084】（第 7 実施形態）図 14 は、第 7 実施形態に係る MMIC 110 の一部及びゲートバイアス回路部の構成を示す電気回路図である。本実施形態では、図 11 に示す回路において実装基板 100 上に実装されていた固定抵抗器 1002、1101 を MMIC 上に集積し、前段 FET ゲート電圧供給端子と後段 FET ゲート電圧供給端子を MMIC 内に集積したものである。この構成により、実装基板上でのそれらの実装、接続が不要となり、図 11 の構成と比較して MMIC 上のパッドを 3 箇所削減することができる。

【0085】なお、可変抵抗器 1001 は FET の動作級変更を行うためには実装基板 100 上に実装することが必要であるが、例えば上記第 4～第 7 実施形態ではアイドル電流のばらつきに対するアイドル電流変動を抑制する効果があるため、動作級の変更を行わないのであれば、これを固定抵抗器で構成し実装基板 100 に実装するか、あるいは MMIC 110 に集積しても良い。

【0086】（第 8 実施形態）図 15 は、第 8 実施形態に係る二段電力増幅器の構成を示す電気回路図である。本実施形態では、ゲートバイアス回路部を MMIC 11

0 内に集積している。すなわち、動作級の変更をしないことを前提としているので、可変抵抗器は設けていない。そして、ゲートバイアス設定用 FET 911 のドレインと接地端子 125 との間に、2 つの固定抵抗器 1201、1202 を介設し、かつ各固定抵抗器 1201、1202 間の信号線に後段 FET ゲート電圧供給端子を接続した構成を有している。

【0087】本実施形態では、ゲートバイアス回路部は標準的仕様にして MMIC 110 内に組み込み、ドレインバイアス回路部 101 は上記第 1 実施形態のように変更可能な構成とすることで、最小限必要な部分のみ実装基板 100 上に搭載すればよく、簡素な構成で済む利点がある。

【0088】（第 9 実施形態）図 16 は、第 9 実施形態に係る二段電力増幅器の構成を示す電気回路図である。本実施形態では、上記第 8 実施形態と同様にゲートバイアス回路部を MMIC 110 内に集積するとともに、上記第 4 実施形態の図 11 に示す構成と同様に、ゲートバイアス設定用 FET 911 のソースに固定抵抗器 1101 が挿入されている。したがって、本実施形態では、簡素な構成でアイドル電流のバラツキをより確実に抑制する利点がある。

【0089】なお、上記第 3～第 9 の実施形態において、チップサイズは 1mm×2mm である。またドレインバイアス設定用 FET のゲート幅は 50μm と 5μm の 2 種である。

【0090】

【発明の効果】本発明の高周波用半導体装置によれば、MMIC 内への各部材の配置の工夫により、高周波半導体装置に使用される半絶縁性 GaAs 基板等の高価な化合物半導体基板に費やされるコストの低減を図ることができる。

【図面の簡単な説明】

【図 1】第 1 実施形態における電力増幅器の構成を示すブロック図である。

【図 2】第 1 実施形態におけるドレインバイアス回路部の電気回路図である。

【図 3】第 1 実施形態におけるゲートバイアス回路部の電気回路図である。。

【図 4】第 1 実施形態における動作周波数可変性を示す周波数特性図である。

【図 5】第 1 実施形態における歩留まり改善性を示す特性分布図である。

【図 6】第 1 実施形態における入力整合回路部、段間整合回路部、出力整合回路部の電気回路図である。

【図 7】第 2 実施形態における MMIC の平面図である。

【図 8】第 2 実施形態における MMIC に含まれる MESFET の平面図である。

【図 9】第 3 実施形態における電力増幅器の構成を示す

ブロック図である。

【図10】第3実施形態におけるゲートバイアス回路部の電気回路図である。

【図11】第4実施形態におけるゲートバイアス回路部の電気回路図である。

【図12】第5実施形態におけるゲートバイアス回路部の電気回路図である。

【図13】第6実施形態におけるゲートバイアス回路部の電気回路図である。

【図14】第7実施形態におけるゲートバイアス回路部の電気回路図である。

【図15】第8実施形態における電力増幅器の構成を示すブロック図である。

【図16】第9の実施形態における電力増幅器の構成を示すブロック図である。

【符号の説明】

100 実装基板

101 ドレインバイアス回路部

102 ゲートバイアス回路部

110 MMIC

111 入力整合回路部

05 112 前段FET

113 段間整合回路部

114 後段FET

115 出力整合回路部

116 ゲートバイアス抵抗器

10 117 ゲートバイアス抵抗器

121 前段FETドレイン電圧供給端子

122 後段FETドレイン電圧供給端子

123 前段FETゲート電圧供給端子

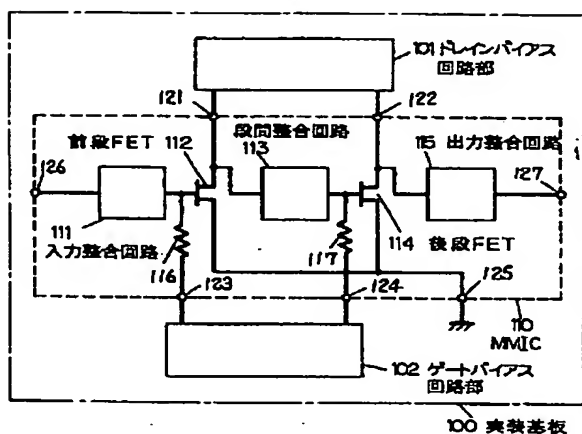
124 後段FETゲート電圧供給端子

15 125 接地端子

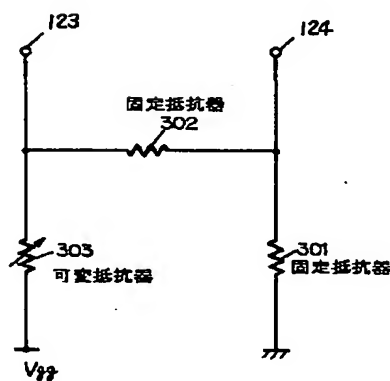
126 信号入力端子

127 信号出力端子

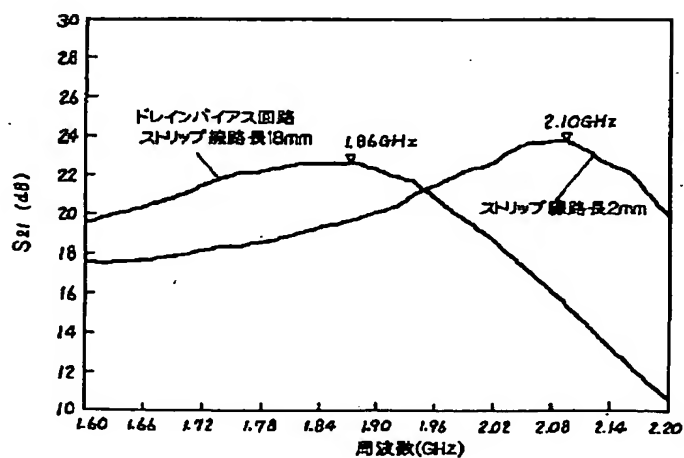
【図1】



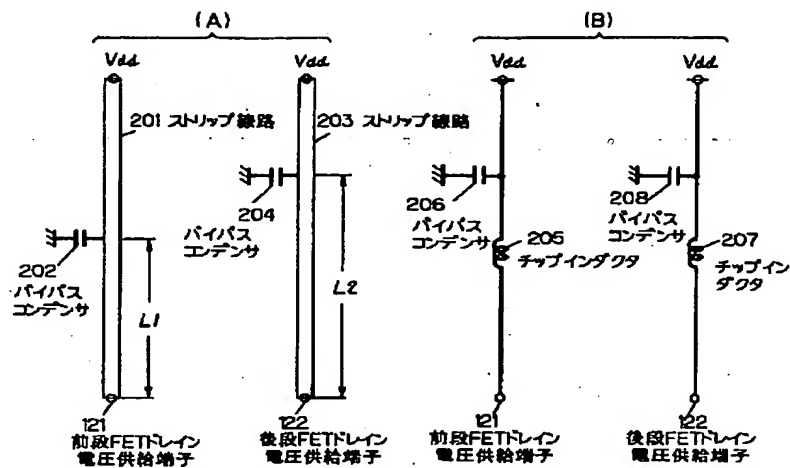
【図3】



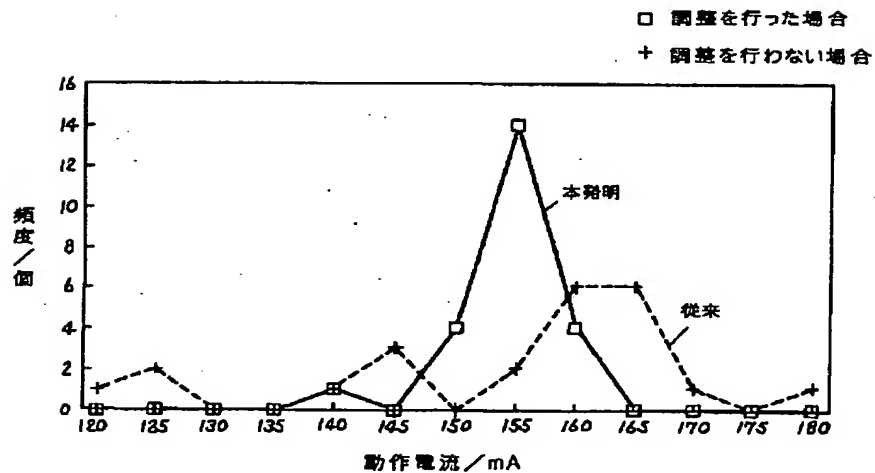
【図4】



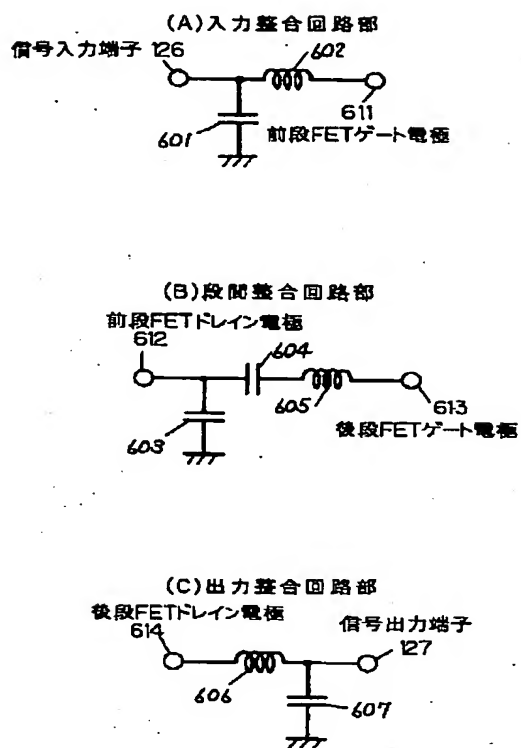
【図2】



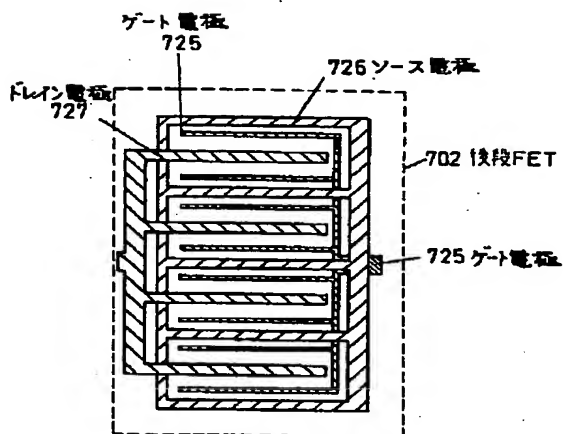
【図5】



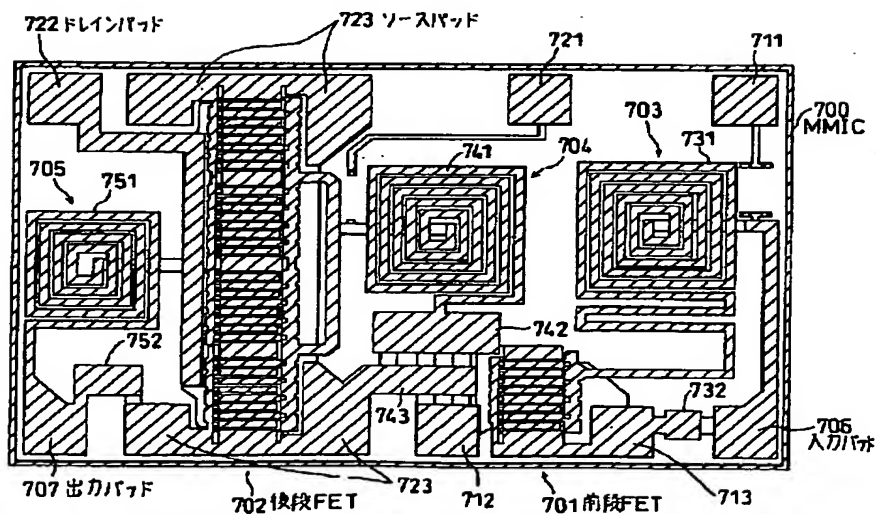
【図6】



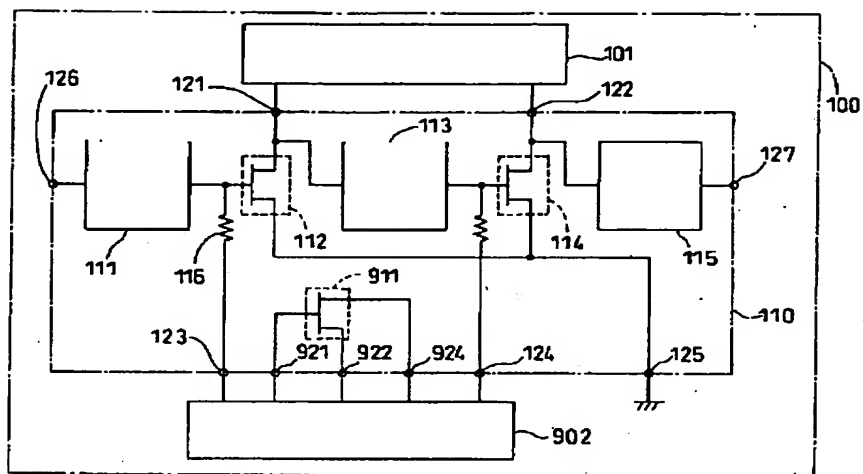
【図8】



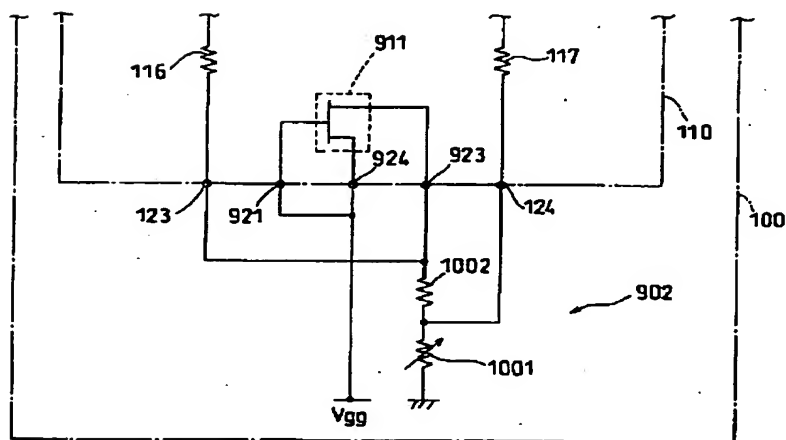
【図7】



【図 9】

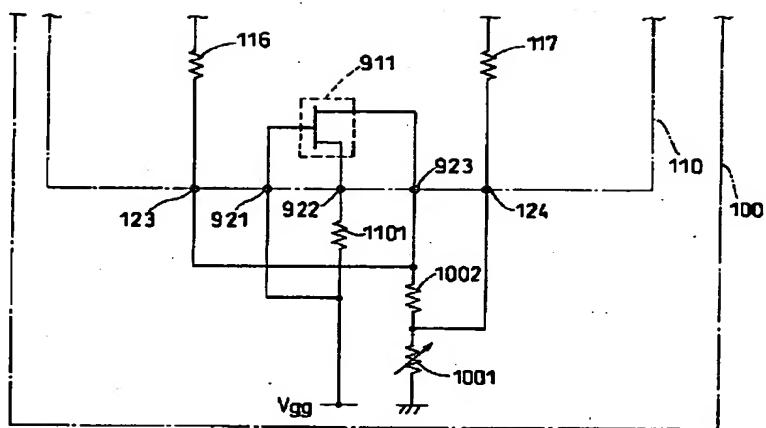


【図 10】

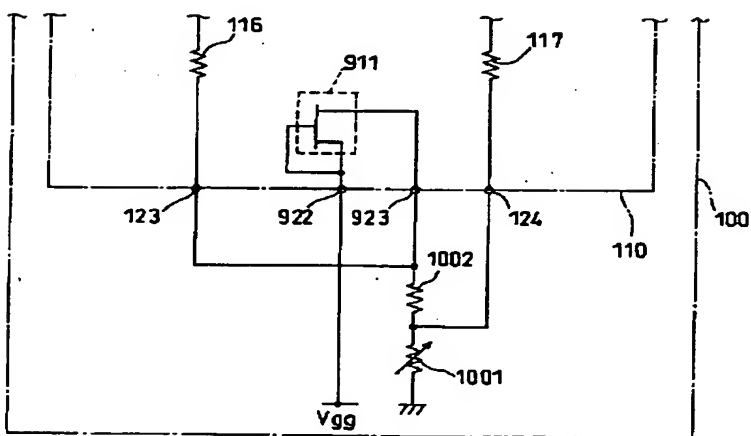




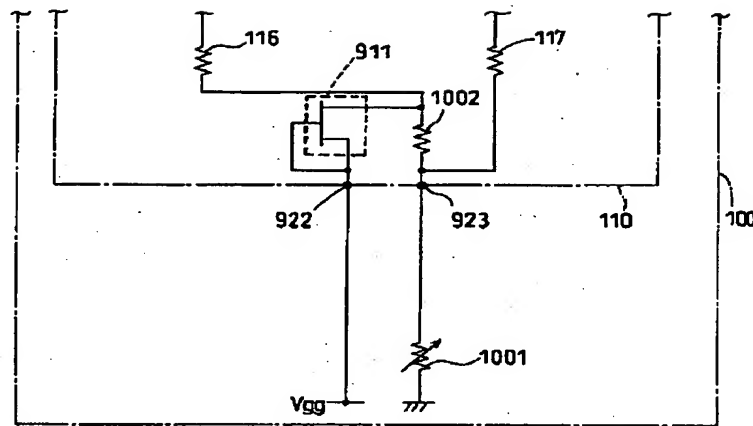
【図 11】



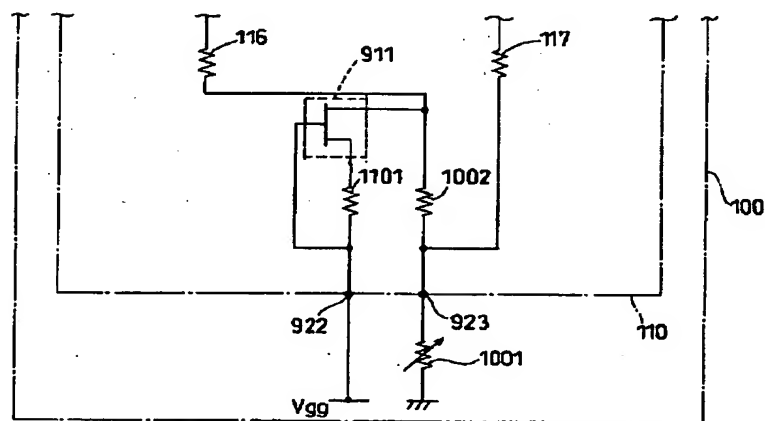
【図 12】



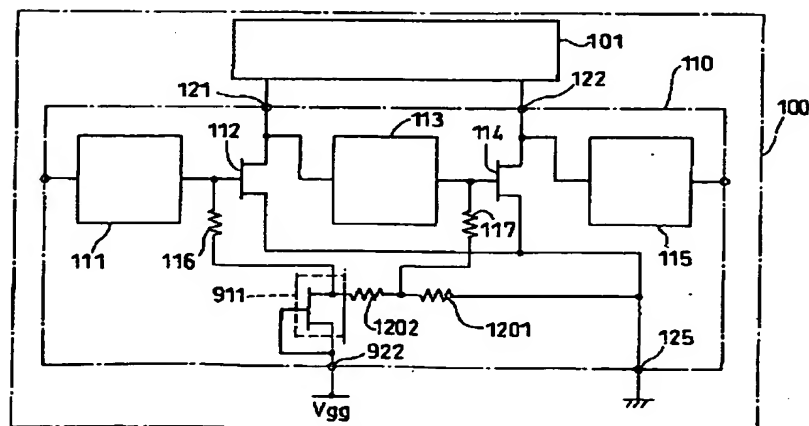
【図 1 3】



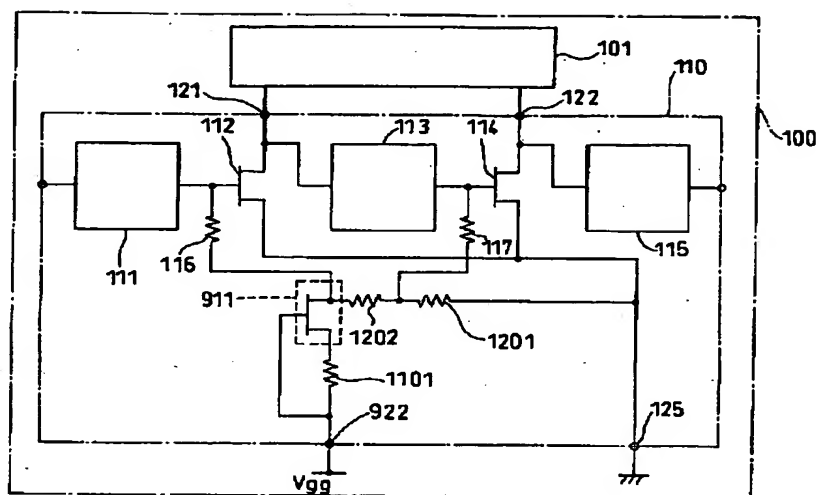
【図 1 4】



【図 1 5】



【☒ 16】



フロントページの続き

(72)発明者 石川 修

25

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内